

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-014150
 (43)Date of publication of application : 22.01.1991

(51)Int.Cl.

G06F 12/16
 G06F 1/26
 G06K 19/07
 G11C 5/00

(21)Application number : 01-150036
 (22)Date of filing : 13.06.1989

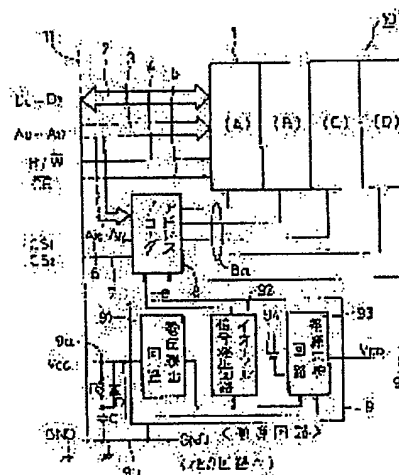
(71)Applicant : HITACHI MAXELL LTD
 (72)Inventor : MIYAI HIROYUKI
 MATSUO YUZO

(54) MEMORY CARD

(57)Abstract:

PURPOSE: To prevent the data breakdown caused by a malfunction by inserting a series circuit of a capacitor between a wiring connected to a power source supply terminal and a ground, and maintaining a voltage of a chip select terminal and a write control signal terminal within a prescribed range until at least an enable signal is stopped, when this card is drawn out.

CONSTITUTION: Between a power source supply line 9a and a ground line 9b, a series circuit consisting of a resistance R and a capacitor C is inserted, and a diode D is inserted in parallel into the resistance R. This circuit suppresses a sudden drop of a voltage (voltage of Vcc) of the power source supply 9a, when a card is drawn output of an external device, therefore, a voltage of a terminal of a chip select signal and a terminal of a write control signal which is pulled up also drops slowly, and its level can be held within a range of a level of 'H' until an enable signal of a decoder is stopped. In such a way, since a writable period at the time of drawing out can be eliminated, a write malfunction at the time of drawing out is prevented.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-14150

⑬ Int. Cl.⁵ 識別記号 庁内整理番号 ⑭ 公開 平成3年(1991)1月22日
G 06 F 12/16 3 4 0 M 7737-5B
G 06 K 1/26
G 11 C 19/07 3 0 1 A 7131-5B G 06 F 1/00 3 3 0 E
6711-5B G 06 K 19/00 J
審査請求 未請求 請求項の数 3 (全7頁)

⑮ 発明の名称 メモリカード

⑯ 特 願 平1-150036

⑰ 出 願 平1(1989)6月13日

⑱ 発 明 者 宮 井 宏 之 大阪府茨木市丑寅1丁目6番88号 日立マクセル株式会社
内

⑲ 発 明 者 松 尾 雄 三 大阪府茨木市丑寅1丁目6番88号 日立マクセル株式会社
内

⑳ 出 願 人 日立マクセル株式会社 大阪府茨木市丑寅1丁目1番88号

㉑ 代 理 人 弁理士 梶山 信是 外1名

明 細 書

1. 発明の名称 メモリカード

2. 特許請求の範囲

(1) 複数のメモリICと、外部装置から加えられるアドレス信号の一部をデコードして前記複数のメモリICの1つを選択する信号を発生するデコードと、電源供給端子を介して前記外部装置から供給される電力と内蔵された電池からの電力とを切換える電源回路とを有し、前記外部装置からチップセレクト信号を受けるチップセレクト信号端子及び書き込み制御信号を受ける書き込み制御信号端子が前記電源供給端子にプルアップされて接続されているメモリカードにおいて、前記電源回路は外部装置から供給される電源電圧が所定値以上になったとき及びこの電源電圧が所定値より低下したときにそれぞれに対応する検出信号を発生する電圧検出回路と、この電圧検出回路の前記所定値以上に対応する検出信号を受けて前記デコードにイネーブル信号を発生しかつこのイネーブル信号を前記所定値より低下したときの検出信号に応じ

て停止するイネーブル信号発生回路とを備え、前記電源供給端子に接続された配線と接地間にコンデンサが挿入され、このカードが抜き取られたときに前記コンデンサからの電流により少なくとも前記イネーブル信号が停止されるまで前記チップセレクト端子及び書き込み制御信号端子の電圧を論理レベルでHIGHレベルの範囲に維持することを特徴とするメモリカード。

(2) 前記電源供給端子に接続された配線と接地間に接続されたコンデンサに換えて、抵抗とコンデンサの直列回路が挿入され、前記抵抗に並列に前記コンデンサから流出する電流に対して順方向になるようにダイオードが接続されていることを特徴とする請求項1記載のメモリカード。

(3) 電圧検出回路とイネーブル信号発生回路とは、イニシャルリセット回路として構成され、イネーブル信号はこのイニシャルリセット回路のリセット信号がそのまま又はその反転信号が用いられることを特徴とする請求項1記載のメモリカード。

3. 発明の詳細な説明

特開平 3-14150(2)

【産業上の利用分野】

この発明は、メモリカードに関し、詳しくは負論理信号のチップセレクト信号を受けて動作するようなメモリカードにおいて、本体装置側から抜き去ったときの抜き去時の誤動作を防止することができるようなメモリカードに関する。

【従来の技術】及び【解決しようとする課題】

通常、メモリカードは、複数のメモリIC（記憶機能を有する集積回路或はメモリ素子、なお、この明細書ではこれらを含めてメモリICという）が搭載されていてデコードによりこのメモリICの1つを選択するような構成となっている。

複数のメモリICで構成されたこの種の従来のメモリカードに対するチップセレクト信号（CS）は、そのメモリICの構成に依存するが、特に、これがLOWレベル（以下“L”）で動作する（有効となる）ようなメモリカードにあっては、メモリカード挿入時点での電源電圧が不安定な期間やメモリカード抜き去時の供給電源電圧が急激に低下するときに書き込み誤動作が発生する危険性が高

い。その理由は、チップセレクト信号やリード・ライト信号等の制御信号を受ける端子が外部供給電源Vccに対してプルアップされ、さらに、内部で発生するデコード等に対するイネーブル信号出力側も直接或は間接的にそれにプルアップされていることが多く、そのため電源電圧が不安定になると、イネーブル信号や外部からのチップセレクト信号等が直接影響されるからである。

第4図は、その挿入時の状態を説明するタイミングチャートであって、メモリカードが挿入され、コネクタの端子同士が接触を開始してから完全に奥まで挿入され、それらが完全に接続されるまでは、図の（a）に示すように電源電圧にチャタリングが発生する期間がある。この電源のチャタリングは、図の（b）、（c）、（d）に示すように、デコードに対するイネーブル信号（“L”で有効）、外部からのチップセレクト信号、リード／ライト信号にもチャタリングを生じさせる。このチャタリングによりチップセレクト信

- 3 -

- 4 -

号が“L”で、リード／ライト信号が“L”となっている時点が生じ、これによりメモリICに対する書き込み条件が成立して記憶されている内部データが書換えられてしまう事故が発生する。なお、図中、tは電源供給が開始されてからチャタリングが終了するまでの期間である。

第5図は、メモリカードが抜き去られたときのタイミングチャートであって、メモリカードが抜き去られ、コネクタの端子同士が離れると、図の（a）に示すように外部から供給される電源Vccの電圧がまず低下する。これに伴って、図の（c）、（d）に示すように、チップセレクト信号端子と書き込み制御信号を受ける書き込み制御信号端子の電圧がそれぞれ低下し、外部から受けるチップセレクト信号とリード・ライト制御信号が低下して“L”になる状態となる。しかし、デコードに対するイネーブル信号は、通常、電圧検出回路で電源Vccの電圧が降下したところを検出してから発生させるために、電圧検出回路の動作時間だけ遅れ、その動作がチップセレクト信号やリード・ライト制御

信号が低下するタイミングより後になり、同図の（b）に示すようなタイミングで立上がり、HIGHレベル（以下“H”）となる。そこで、チップセレクト信号が“L”で、リード／ライト信号が“L”となっている期間Pが生じ、この期間Pの間メモリICに対する書き込み条件が成立して記憶されている内部データが書換えられてしまう事故が発生する。

この発明は、特に、後者のメモリカード抜き去時における前記のような誤動作によるデータ破壊を防止することができるメモリカードを提供することを目的とする。

【課題を解決するための手段】

この発明の特徴は、複数のメモリICと、外部装置から加えられるアドレス信号の一部をデコードして複数のメモリICの1つを選択する信号を発生するデコードと、電源供給端子を介して外部装置から供給される電力と内蔵された電池からの電力とを切替える電源回路とを有し、外部装置からチップセレクト信号を受けるチップセレクト信

- 5 -

- 6 -

特開平3-14150(3)

写端子及びこの書き込み制御信号を受ける書き込み制御信号端子が電源供給端子にプルアップされて接続されているメモリカードにおいて、外部装置から供給される電源電圧が所定値以上になったとき及び電源電圧が所定値より低下したときにそれぞれに対応する検出信号を発生する電圧検出回路と、この電圧検出回路の所定値以上に対応する検出信号を受けて前記デコードにイネーブル信号を発生しかつこのイネーブル信号を所定値より低下したときの検出信号に応じて停止するイネーブル信号発生回路とを電源回路が備えていて、電源供給端子に接続された配線と接地間にコンデンサの直列回路が挿入され、このカードが抜き去られたときにコンデンサからの電流により少なくともイネーブル信号が停止されるまでチップセレクト端子及び書き込み制御信号端子の電圧を論理レベルで“H”の範囲に維持するものである。

〔作用〕

このように外部電源の供給端子と接地間にコンデンサを挿入することで、カードが抜き去られても

即座に電圧が低下しないで済むためプルアップされているチップセレクト信号の端子や書き込み制御信号の端子の電圧の低下も緩やかになり、そのレベルをデコードのイネーブル信号が停止するまで“H”のレベルの範囲に保持しておくことができる。その結果、抜き去時の書き込み可能期間をなくすることができるので抜き去時の書き込み誤動作が防止される。

〔実施例〕

以下、この発明の一実施例について図面を用いて詳細に説明する。

第1図は、この発明を適用したメモリカードの一実施例のブロック図であり、第2図は、そのカード挿着時のアドレスデコードに対するイネーブル信号発生タイミングの説明図、第3図は、そのカード抜き去時のアドレスデコードに対するイネーブル信号発生タイミングの説明図である。

第1図において、10は、メモリカードであって、4つのメモリIC(A)、メモリIC(B)、メモリIC(C)、メモリIC(D)から構成さ

- 7 -

- 8 -

れるメモリIC部1とアドレスデコード8、電源回路9とを有している。メモリIC部1の各メモリIC(A)、(B)、(C)、(D)のデータ、アドレス、リード/ライト、リードの各端子は、それぞれデータバス2、アドレスバス3、リード/ライト信号線(R/W)4、リード信号線(0E)5を介して対応するコネクタ11(図では太線で示す)側の端子と接続されている。

アドレスデコード8は、アドレスバス3の上位2ビットと負論理チップセレクト信号線(CS1)6、正論理チップセレクト信号線(CS2)7にそれぞれ接続されいて、これらの信号を受けて、その出力にメモリIC部1のうちからメモリIC(A)、(B)、(C)、(D)の1つを選択する選択信号(素子に対するチップセレクト信号)を発生して、メモリIC選択線8aにそれを送出する。

メモリカード10の前記の各線(後述するVcc、GNDを含めて)は、ホストコンピュータとか、メモリカードリーダー・ライター等の外部装置にメモ

リカード10が挿着されたときにコネクタ11のそれぞれの端子を介して外部装置の対応する端子と接続される。また、D0~D7は、外部装置からデータバス2に送出られ、或はメモリカード10から外部装置に送出されるデータを示している。A0~A17は、そのアドレス信号を示している。

電源回路9は、電圧検出回路91と、イネーブル信号発生回路92、電源切換回路93、そしてバックアップ電池94とからなり、電源供給線(Vcc)9aとグラウンド線(GND)9bに接続され、これらの線はコネクタ11の対応するそれぞれの端子に接続されている。この回路は、外部から供給される電源電圧を監視し、電源供給線(Vcc)9aの電圧からメモリカード10が外部装置に接続されたか否かを電圧検出回路91により判定する。この回路は、外部装置に接続されていないときは電源切換回路93によりバックアップ電池94の電力がメモリIC部1に供給されるように電力が切換えられ、メモリIC部1に記憶されたデータが失われるように保護する。また、メ

- 9 -

- 10 -

特開平 3-14150(4)

メモリカード10が外部装置に挿着されたときには、電圧検出回路91の検出出力に応じてそれから所定のタイミングでアドレスデコーダ8に対してイネーブル信号(e)を送出する。

ここでは、電源供給線9aとグランド線9bとの間に、抵抗RとコンデンサCとからなる直列回路が挿入されていて、抵抗Rに並列にダイオードDが挿入されている。この回路は、カードが外部装置から抜去されたときに、電源供給線9aの電圧(V_{cc} の電圧)が急激に低下するのを抑えるために設けられているものであって、抵抗Rは、カード挿着時におけるコンデンサCの急激充電による外部装置の誤動作を防止するために挿入されている。また、ダイオードDは、カードが抜去された場合に、コンデンサCからの電流が抵抗Rに流れることによって電圧降下するのをなくすために挿入されている。

電圧検出回路91は、第2図の(a)に示すように、電源線9a(V_{cc})の電圧がA点になったときに、それを検出して第1の検出信号を発生し、

それをイネーブル信号発生回路92と電源切換回路93とに送出する。

イネーブル信号発生回路92は、同図(b)に示すように、第1の検出信号を受けてからTだけ遅延させてイネーブル信号("L"有意味)を発生し、それをアドレスデコーダ8に送出してアドレスデコーダ8を動作状態にする。このイネーブル信号の発生タイミングはチャタリングしている期間Bを越えていて、同図の(c)、(d)に示すように、外部から供給される負論理有意味のチップセレクト信号($\overline{CS_1}$)とリード・ライト信号(R/\overline{W})とは、すでにこのときはそれぞれの"L"、"H"の判定レベル TH_1 、 TH_2 を越えていてこれらはすでに安定し、"H"を維持している。言い換えれば、前記の期間Tは、このような期間に選択されている。なお、この期間Tは、通常、電圧検出回路91の検出信号をコンデンサを有する積分回路で受けて波形整形回路で波形整形すること等により簡単に実現できる。

電源切換回路93は、電圧検出回路91から第

- 11 -

- 12 -

1の検出信号を受けると、前記のイネーブル信号発生回路92の動作とは独立にバックアップ電池94から、外部装置から V_{cc} に供給される供給電源へと切替えて内部電源としての電源線(V_{DD})9cに出力を発生し、この線を介してアドレスデコーダ8及びメモリIC部1に電力を供給する。

ところで、この実施例の場合、チャタリング防止のためのメモリカード挿着時点から動作許可までの期間は、電源電圧がAとなった検出点+期間Tの合計期間として与えられ、挿入時点からチャタリングの発生が停止するまでの期間t(第3図参照)の最大値よりも大きくなるように選択されている。しかも、この場合、期間tについてはばらつきがあるが、電源供給電圧を監視して所定の一定電圧(A点)を越えたことを電圧検出回路91で検出し、このときから時間を設定しているので、挿入時のばらつきを吸収でき、かつ、期間Tにあまり余裕を採らなくても済む。例えば、これは、100msec程度あれば十分である。

その結果、メモリカード10の動作開始から長

い期間がかからずに、実質的に挿着してほとんど待たずにメモリカードを使用できる。

次に、抜去における動作について第3図に従って説明する。

電圧検出回路91は、第3図の(a)に示すように、電源線9a(V_{cc})の電圧がA点より電圧が低下したときに、それを検出して第2の検出信号(第1の検出信号が"H"(又は"L")のときには、その逆の"L"(又は"H")の信号であっても可)を発生し、それをイネーブル信号発生回路92と電源切換回路93とに送出する。

イネーブル信号発生回路92は、同図(b)に示すように、第2の検出信号を受けてから即座にイネーブル信号を停止("H"に)して、それをアドレスデコーダ8に送出し、アドレスデコーダ8の動作を停止させる。このイネーブル信号の停止タイミングでは、同図の(c)、(d)に示すように、外部から供給される負論理有意味のチップセレクト信号($\overline{CS_1}$)とリード・ライト信号(R/\overline{W})とは、それぞれの電圧降下時の判定レベ

- 13 -

- 14 -

特開平 3-14150(5)

ルTH3, TH4より高い電圧になっていて“H”の範囲に維持されている。言い換えれば、これは、第5図に示す期間Pを越えて“H”となっている。その結果、イネーブル信号が停止する以前には書き込み条件が成立しない。

以上のようにすることで、アドレスデコーダ8が電源回路9からイネーブル信号を受けて動作する時点では、各制御信号のチャタリングは完全になくなり、書き込み誤動作等が発生しない状態でメモリカードを動作させることができ、抜去時においては、イネーブル信号が停止する以前には、書き込み条件が成立しないため書き込み誤動作等が発生しない状態でメモリカードの動作を停止させることができる。

以上説明してきたが、実施例では、カード挿着時のチャタリングによる書き込み防止をしているが、この発明は、単に抜去時の書き込み防止をさせるだけであってもよい。

実施例の電源回路9における電圧検出回路とイネーブル信号発生回路は、イニシャルリセット回

路、単なるリセット回路等を用いてもよく、この場合には、そのリセット信号をそのまま或はその反転信号をデコーダに対するイネーブル信号として用いることができる。

実施例で使用した、“H”、“L”の論理信号は、論理信号を受ける相手回路等との関係で決めることができ、いずれを採用してもよいので、この発明は、“H”、“L”の論理信号の条件に影響されるものではない。

また、実施例では、チップセレクト信号が2つあるメモリカードを例としているが、これは、1つのものであってもよく、チップセレクト信号は、チップイネーブル信号、メモリリクエスト信号等と呼ばれるものであってもよい。実質的にチップセレクト信号であればその呼び名に限定されるものではない。

〔発明の効果〕

以上説明したように、この発明では、外部電源の供給端子と接地間にコンデンサを挿入することで、カードが抜去されても即座に電圧が低下しな

- 15 -

- 16 -

いで済むためプルアップされているチップセレクト信号の端子や書き込み制御信号の端子の電圧の低下も緩やかになり、そのレベルをデコーダのイネーブル信号が停止するまで“H”のレベルの範囲に保持しておくことができる。その結果、抜去時の書き込み可能期間をなくすることができるので抜去時の書き込み誤動作が防止される。

4. 図面の簡単な説明

第1図は、この発明を適用したメモリカードの一実施例のブロック図であり、第2図は、そのカード挿着時のアドレスデコーダに対するイネーブル信号発生タイミングの説明図、第3図は、そのカード抜去時のアドレスデコーダに対するイネーブル信号発生タイミングの説明図、第4図は、従来のメモリカードにおける挿着時の各制御信号のチャタリングについての説明図、第5図は、従来のメモリカードにおける抜去時の各制御信号の動作タイミングについての説明図である。

1…メモリIC部、2…データバス、

3…アドレスバス、4…リード/ライト信号線、

5…リード信号線、6…負論理チップセレクト信号線、7…正論理チップセレクト信号線、

8…アドレスデコーダ、8a…メモリIC選択線、9…電源回路、91…電圧検出回路、

92…イネーブル信号発生回路、

93…電源切換回路、

(A)、(B)、(C)、(D)…メモリIC、

R…抵抗、C…コンデンサ、D…ダイオード。

特許出願人 日立マクセル株式会社

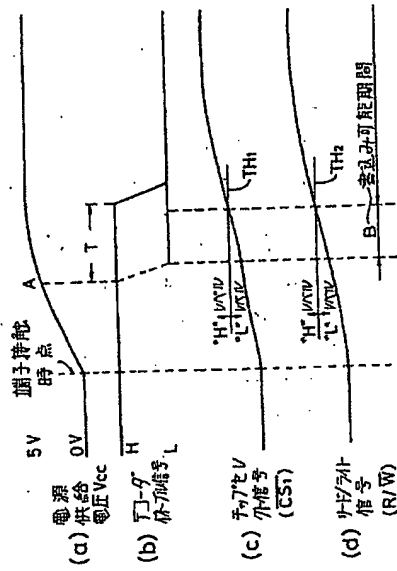
代理人 弁理士 梶山 信 是
弁理士 山本 富士男

- 17 -

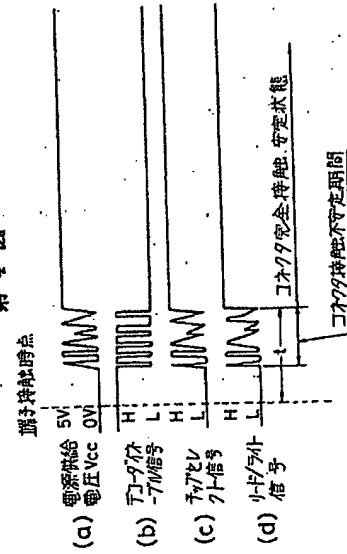
- 18 -

特開平 3-14150(6)

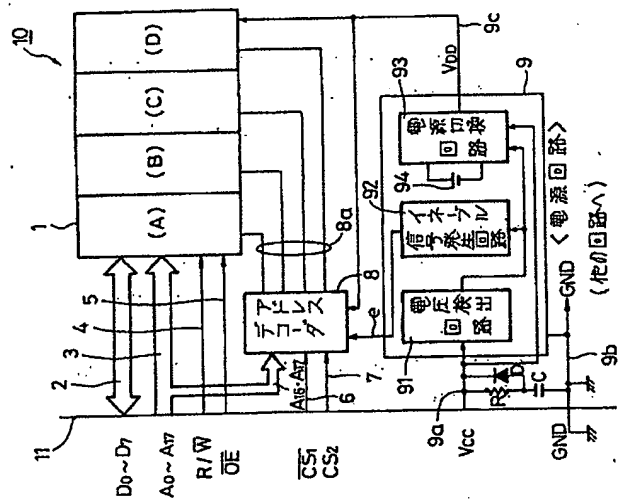
第 2 図



第 4 図

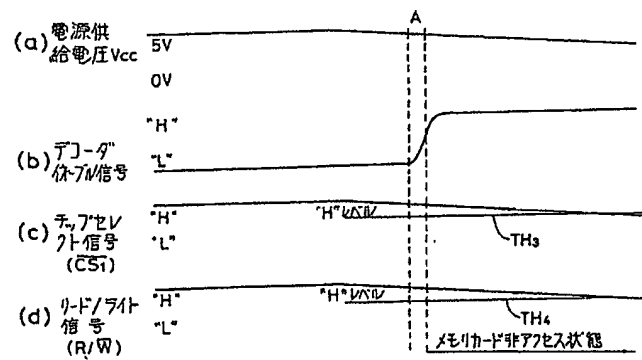


第 1 図



特開平 3-14150(7)

第 3 図



第 5 図

